

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Joun Ho LEE et al.

GAU: TBA

SERIAL NO: To Be Assigned

EXAMINER: TBA

FILED: December 29, 2000

FOR: MULTI-DOMAIN LIQUID CRYSTAL DISPLAY DEVICE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231



SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
KOREA

APPLICATION NUMBER
1999-67766

MONTH/DAY/YEAR
December 31, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ is submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: December 29, 2000

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
68319.1

LONG ALDRIDGE & NORMAN LLP

Song K. Jung
Registration No. 35,210

Rebecca A. Goldman
Registration No. 41,786

대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

1c760 U.S. PTO
09/750073



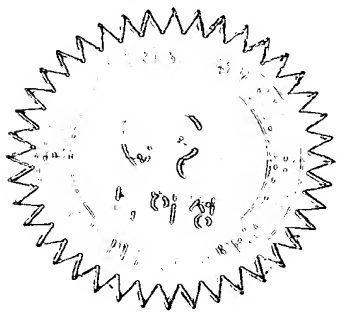
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 67766 호
Application Number

출원년월일 : 1999년 12월 31일
Date of Application

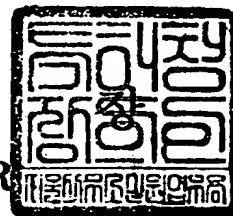
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2000 년 10 월 13 일

특 허 청

COMMISSIONER



| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0001 |
| 【제출일자】 | 1999. 12. 31 |
| 【발명의 명칭】 | 멀티도메인 액정표시소자 |
| 【발명의 영문명칭】 | MULTI-DOMAIN LIQUID CRYSTAL DISPLAY DEVICE |
| 【출원인】 | |
| 【명칭】 | 엘지 .필립스 엘시디 주식회사 |
| 【출원인코드】 | 1-1998-101865-5 |
| 【대리인】 | |
| 【성명】 | 하상구 |
| 【대리인코드】 | 9-1998-000590-1 |
| 【포괄위임등록번호】 | 1999-001408-9 |
| 【대리인】 | |
| 【성명】 | 하영욱 |
| 【대리인코드】 | 9-1998-000605-5 |
| 【포괄위임등록번호】 | 1999-019711-7 |
| 【발명자】 | |
| 【성명의 국문표기】 | 이준호 |
| 【성명의 영문표기】 | LEE, JOUN HO |
| 【주민등록번호】 | 690804-1783417 |
| 【우편번호】 | 702-250 |
| 【주소】 | 대구광역시 북구 동천동 915번지 칠곡3차화성타운 105-70 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 고두현 |
| 【성명의 영문표기】 | KO, DOO HYUN |
| 【주민등록번호】 | 720810-1030515 |
| 【우편번호】 | 730-022 |
| 【주소】 | 경상북도 구미시 도량2동 3주공아파트 315-703 |
| 【국적】 | KR |

【발명자】**【성명의 국문표기】**

강동호

【성명의 영문표기】

KANG,DONG HO

【주민등록번호】

720825-1830811

【우편번호】

730-350

【주소】

경상북도 구미시 임수동 401-3 엘지엘시디기숙사 607호

【국적】

KR

【취지】특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 하상

구 (인) 대리인

하영욱 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

3 면 3,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

32,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명의 멀티도메인 액정표시소자는 제1기판 및 제2기판과, 상기 제1기판 상에 제1방향으로 형성된 복수의 게이트배선 및 상기 제1방향과 직교하는 제2방향으로 형성된 복수의 데이터배선과, 상기 게이트배선과 데이터배선의 교차부분에 형성된 복수의 박막 트랜지스터와, 이웃하는 상기 게이트배선 및 이웃하는 상기 데이터배선 사이에 형성된 복수의 화소영역과, 상기 각각의 화소영역 주위에 형성된 공통보조전극과, 상기 각각의 화소영역에 상기 박막트랜지스터와 연결되도록 형성된 복수의 화소전극과, 상기 제2기판 상에, 상기 공통보조전극과 더불어 인가되는 전계를 제어하며 상기 화소영역을 적어도 4도메인 이상으로 분할하는 유전체 구조물과, 상기 화소영역 내에, 상기 유전체 구조물을 보조하며 그 단부에 형성된 적어도 하나 이상의 부가 구조물과, 상기 제1기판 및 제2기판 중 적어도 한 기판 상에 형성된 배향막과, 그리고 상기 제1기판과 제2기판 사이에 형성된 액정층으로 이루어진다.

【대표도】

도 2

【색인어】

공통보조전극, 전계유도창, 유전체 구조물

【명세서】

【발명의 명칭】

멀티도메인 액정표시소자{MULTI-DOMAIN LIQUID CRYSTAL DISPLAY DEVICE}

【도면의 간단한 설명】

도 1은 종래의 액정표시소자의 단면도.

도 2는 본 발명의 제1실시예에 따른 멀티도메인 액정표시소자의 평면도.

도 3은 본 발명의 제2실시예에 따른 멀티도메인 액정표시소자의 평면도.

도 4는 본 발명의 제3실시예에 따른 멀티도메인 액정표시소자의 평면도.

도 5는 본 발명의 제4실시예에 따른 멀티도메인 액정표시소자의 평면도.

도 6a ~ 6e는 상기한 도 2의 I-I'선에 따른 본 발명의 멀티도메인 액정표시소자의 제조공정을 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

1 : 게이트배선 3 : 데이터배선

5 : 반도체층 6 : 오믹콘택층

7 : 소스전극 9 : 드레인전극

11 : 게이트전극 13 : 화소전극

15 : 공통보조전극 17 : 공통전극

21 : 보조전극 23 : 컬러필터층

25 : 차광층 27 : 오픈영역

29 : 위상차 필름 31 : 제1기판
 33 : 제2기판 35 : 게이트절연막
 37 : 보호막 39 : 콘택홀
 43 : 스토리지 전극 51 : 전계유도창
 53 : 유전체 구조물 71 : 편광자

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 액정표시소자에 관한 것으로, 특히, 게이트배선과 동일 층에서 화소영역의 주위 및/또는 내부에 공통보조전극을 형성하고, 화소영역 내에 상기 공통보조전극과 더불어 전계를 왜곡시키는 유전체 구조물과 상기 유전체 구조물을 보조하는 부가 유전체 구조물 또는 전계유도창을 형성한 멀티도메인 액정표시소자(multi-domain liquid crystal display device)에 관한 것이다.

<21> 최근, 액정을 배향하지 않고, 화소전극과 전기적으로 절연된 보조전극에 의해 액정을 구동하는 액정표시소자가 제안된 바 있다. 도 1은 상기한 종래 액정표시소자의 단위 화소의 단면도이다.

<22> 종래의 액정표시소자는, 제1기판 및 제2기판과, 제1기판 위에 종횡으로 형성되어 제1기판을 복수의 화소영역으로 나누는 복수의 데이터배선 및 게이트배선과, 제1기판 상의 화소영역 각각에 형성되고 게이트전극, 게이트절연막, 반도체층, 오믹콘택층(Ohmic contact layer) 및 소스/드레인전극으로 구성된 박막트랜지스터(Thin Film Transistor ;

TFT)와, 상기한 제1기판 전체에 걸쳐 형성된 보호막(37)과, 상기한 보호막(37) 위에서 드레인전극과 연결되도록 형성된 화소전극(13)과, 상기한 게이트절연막 위로 화소전극(13)의 일부와 겹쳐지도록 형성된 보조전극(21)으로 이루어진다.

<23> 그리고, 상기한 제2기판 위에 상기한 게이트배선, 데이터배선, 및 박막트랜지스터에서 누설되는 빛을 차단하는 차광층(25)과, 상기한 차광층(25) 위에 형성된 컬러필터층(23)과, 상기한 컬러필터층(23) 위에 형성된 공통전극(17)과, 그리고, 제1기판과 제2기판 사이에 형성된 액정층으로 이루어진다.

<24> 화소전극(13)의 둘레에 형성된 보조전극(21)과 공통전극(17)의 오픈영역(27)은 상기한 액정층에 인가되는 전기장을 왜곡시켜 단위 화소 내에서 액정분자를 다양하게 구동시킨다. 이것은 상기한 액정표시소자에 전압을 인가할 때, 왜곡된 전기장에 의한 유전 에너지가 액정 방향자를 원하는 방향으로 위치시킴을 의미한다.

<25> 그러나, 상기한 액정표시소자는, 멀티도메인 효과를 얻기 위해 공통전극(17)에 오픈영역(27)이 필요하며, 이를 위해서 액정표시소자의 제조공정 중 공통전극(17)을 패터닝하는 공정이 추가된다.

<26> 더욱이, 상기한 오픈영역이 없거나 그 폭이 작으면 도메인 분할에 필요한 전기장 왜곡 정도가 약하므로, 액정의 방향자(director)가 안정한 상태에 이르는 시간은 상대적으로 길어진다는 문제점이 있다. 또한, 화소전극(13)과 보조전극(21) 간의 전계가 강하게 걸림으로써 휘도가 증가하고, 응답속도가 증가하는 문제점도 발생하였다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기한 종래기술의 문제점을 감안하여 이루어진 것으로, 게이트배선과

동일 층에서 화소영역의 주위 및/또는 내부에 공통보조전극을 형성하고, 화소영역 내에 상기 공통보조전극과 더불어 전계를 왜곡시키는 유전체 구조물과 상기 유전체 구조물을 보조하는 부가 유전체 구조물 또는 전계유도층을 형성하여, 액정층의 응답시간(response time)을 줄이고 휘도를 개선하며, 시야각의 향상을 도모한 멀티도메인 액정표시소자를 제공하는 것을 목적으로 한다.

- <28> 본 발명의 멀티도메인 액정표시소자는, 본원 출원인이 출원한 특허출원번호 1999-05587에 기재된 발명과 상응하는 내용이며, 게이트배선과 동일 층에서 화소영역의 주위에 공통보조전극을 형성하고, 화소전극 내에 복수의 특정방향으로 일련의 전계유도층을 형성한 것을 개량한 발명으로서, 그 기술적 사상과 맥락을 같이한다.
- <29> 상기한 목적을 달성하기 위해, 본 발명의 일실시예에 따른 멀티도메인 액정표시소자는, 제1기판 및 제2기판과, 상기 제1기판 상에 제1방향으로 형성된 복수의 게이트배선 및 상기 제1방향과 직교하는 제2방향으로 형성된 복수의 데이터배선과, 상기 게이트배선과 데이터배선의 교차부분에 형성된 복수의 박막트랜지스터와, 이웃하는 상기 게이트배선 및 이웃하는 상기 데이터배선 사이에 형성된 복수의 화소영역과, 상기 각각의 화소영역 주위에 형성된 공통보조전극과, 상기 각각의 화소영역에 상기 박막트랜지스터와 연결되도록 형성된 복수의 화소전극과, 상기 제2기판 상에, 상기 공통보조전극과 더불어 인가되는 전계를 제어하며 상기 화소영역을 적어도 4도메인 이상으로 분할하는 유전체 구조물과, 상기 화소영역 내에, 상기 유전체 구조물을 보조하며 그 단부에 형성된 적어도 하나 이상의 부가 구조물과, 상기 제1기판 및 제2기판 중 적어도 한 기판 상에 형성된 배향막과, 그리고 상기 제1기판과 제2기판 사이에 형성된 액정층으로 이루어진다.

<30> 상기 멀티도메인 액정표시소자는, 화소영역 내에 상기 유전체 구조물을 보조하는 적어도 하나 이상의 전계유도층을 추가로 포함한다.

【발명의 구성 및 작용】

<31> 이하, 도면을 참조하여 본 발명에 따른 멀티도메인 액정표시소자를 상세하게 설명한다.

<32> 도 2는 본 발명의 제1실시예에 따른 멀티도메인 액정표시소자의 평면도이고, 도 3은 본 발명의 제2실시예에 따른 멀티도메인 액정표시소자의 평면도이며, 도 4는 본 발명의 제3실시예에 따른 멀티도메인 액정표시소자의 평면도이고, 도 5는 본 발명의 제4실시예에 따른 멀티도메인 액정표시소자의 평면도이다.

<33> 상기한 도면에 나타난 바와 같이, 본 발명의 멀티도메인 액정표시소자는, 제1기판(31) 및 제2기판(33)과, 상기한 제1기판 위에 중첩으로 형성되어 제1기판을 복수의 화소영역으로 나누는 복수의 데이터배선(3) 및 게이트배선(1)과, 상기한 게이트배선과 동일층에 상기 화소영역의 주위 및/또는 내부에 형성된 공통보조전극(15)과, 제1기판 상의 화소영역 각각에 형성되고 게이트전극(11), 게이트절연막(35), 반도체층(5), 오믹콘택층(6) 및 소스/드레인전극(7, 9)으로 구성된 박막트랜지스터와, 상기한 제1기판 전체에 걸쳐 형성된 보호막(37)과, 상기한 보호막 위에서 드레인전극(9)과 연결된 화소전극(13)으로 이루어진다.

<34> 상기 화소전극(13) 내의 모서리 부분에는, 상기 공통보조전극(15) 및 화소전극(13)으로 인가 및 유도되는 전계를 보완하는 적어도 하나 이상의 전계유도층(51)을 추가로 형성하기도 한다.(도 3 참조)

- <35> 그리고, 상기한 제2기판(33) 상에, 상기한 제1기판(31) 상의 게이트배선(1), 데이터배선(3), 및 박막트랜지스터에서 누설되는 빛을 차단하는 차광층(25)과, 상기한 차광층(25) 위에 형성된 컬러필터층(23)과, 상기한 컬러필터층 상에 형성된 공통전극(17)과, 그리고, 제1기판과 제2기판 사이에 형성된 액정층으로 이루어진다.
- <36> 상기 공통전극(17) 상에는 굴곡부를 가진 더블와이 형상의 유전체 구조물(53)을 형성하여, 종래에 공통보조전극과 화소전극에서 인가되는 불균일한 전계로 인해 발생하던 디스클리네이션(disclination)을 제거하는 역할을 한다.(도 2 참조) 또한, 상기 공통전극(17) 상에서 상기 유전체 구조물 이외에, 화소영역의 모서리 부분에 유도되는 전계를 보완하는 적어도 하나 이상의 부가 유전체 구조물을 추가로 형성하기도 한다.(도 4 참조)
- <37> 도 5에 나타낸 본 발명의 제4실시예는, 한 화소를 크게 3등분하고 각 영역 내에서 공통보조전극(15)을 6각형상으로 형성함과 동시에, 제2기판 상에는 상기 공통보조전극이 형성되지 않은 영역에 유전체 구조물(53)을 형성하여, 더욱 향상된 멀티도메인 효과가 얻어진다.
- <38> 상기 실시예에서, 제2기판 상의 유전체 구조물(53)을 홀(hole) 또는 슬릿(slits)으로 형성하여 전계유도창으로 하는 것도 가능하다.
- <39> 도 6a ~ 6e는 상기한 도 2의 I-I'선에 따른 본 발명의 멀티도메인 액정표시소자의 제조공정을 나타내는 단면도이다.
- <40> 상기한 구조의 멀티도메인 액정표시소자를 제조하기 위해서는, 우선, 제1기판(31)의 화소영역 각각에 게이트전극(11), 게이트절연막(35), 반도체층(5), 오믹콘택층(6) 및

소스/드레인전극(7, 9)으로 이루어진 박막트랜지스터를 형성한다. 이 때, 제1기판(31)을 복수의 화소영역으로 나누는 복수의 게이트배선(1) 및 데이터배선(3)이 형성된다.

<41> 상기한 게이트전극(11), 게이트배선(1)은 Al, Mo, Cr, Ta, Al합금, 또는 이들의 이중층으로 이루어진 금속을 스퍼터링(sputtering)방법으로 적층한 후 패터닝(patterning)하여 형성하고, 동시에 공통보조전극(15)을 화소영역의 주위 및 내부에 형성한다. 상기한 공통보조전극(15)은 한 화소에서 적어도 하나 이상의 전극으로 형성되며, 연결부를 통해 이웃 화소의 공통보조전극과 도통된다.(도 6a)

<42> 상기한 공통보조전극(15)은, 상기한 게이트배선(1)과 동일 물질로 사용하여 형성할 때는 동일 마스크로 상기한 게이트배선(1)과 동일 층에 형성하여 상기한 공통전극(17)과 전기적으로 연결시키며, 추가 마스크를 사용하여 다른 금속으로 구성하거나, 서로 다른 이중 층으로 할 수도 있다.

<43> 이어서, 상기한 게이트전극, 공통보조전극 및 게이트배선 위에 게이트절연막(35)을 SiN_x 또는 SiO_x 를 PECVD(Plasma Enhanced Chemical Vapor Deposition)방법으로 적층한다. 개구율 향상을 위해서, 상기 게이트절연막(35)을 BCB(Benzocyclobutene), 아크릴 수지(acrylic resin) 또는 PI(polyimide) 화합물 등을 사용하여 형성할 수도 있다.

<44> 계속해서, 반도체층(5) 및 오믹콘택층(6)은 각각 a-Si 및 n^+ a-Si을 PECVD방법으로 적층한 후, 상기한 a-Si 및 n^+ a-Si을 패터닝하여 형성한다.(도 6b) 또 다른 방법으로는 SiN_x 또는 SiO_x , a-Si 및 n^+ a-Si를 연속적으로 적층하여, 게이트절연막(35)을 형성하고, a-Si 및 n^+ a-Si을 패터닝하여 반도체층(5) 및 오믹콘택층(6)을 형성하기도 한다.

<45> 그리고, Al, Mo, Cr, Ta 또는 Al합금, 또는 이들의 이중층으로 이루어진 금속을 스

퍼터링방법으로 적층한 후 패터닝하여 데이터배선(3) 및 소스/드레인전극(7, 9)을 형성한다.(도 6c) 이 때, 상기한 게이트배선(1) 및/또는 공통보조전극(15)과 오버랩되도록 스토리지전극(43)을 동시에 형성하며, 상기한 스토리지전극(43)은 상기한 게이트배선(1) 및/또는 공통보조전극(15)과 스토리지 캐패시터 역할을 한다.

<46> 이어서, 제1기판(31) 전체에 걸쳐 BCB(BenzoCycloButene), 아크릴수지(acrylic resin), 폴리이미드(polyimide) 화합물, SiN_x 또는 SiO_x 등의 물질로 보호막(37)을 형성하고, ITO(indium tin oxide)를 스퍼터링방법으로 적층한 후 패터닝하여 화소전극(13)을 형성한다.(도 6d)

<47> 상기 도 6은, 상기 보호막(37)이 SiN_x 또는 SiO_x 인 경우를 나타내며, BCB(BenzoCycloButene), 아크릴수지(acrylic resin) 또는 폴리이미드(polyimide) 화합물을 사용하여 보호막을 형성한 경우는 표면의 평탄화를 도모할 수 있으며, 동시에 개구율을 향상시킬 수 있는 효과가 있다.

<48> 상기한 화소전극(13)에는 상기한 스토리지전극(43)이 연장되어 오버랩되는 부분이 존재하고, 상기한 오버랩되는 영역 아래의 보호막을 제거하여 콘택홀(39)을 형성하므로써 스토리지 전극(43)과 전기적으로 연결된다. 또한, 동일한 방법으로 상기한 드레인전극(9) 상의 보호막을 선택적으로 제거하여 콘택홀(39)을 형성하고, 상기한 콘택홀(39)을 통해 드레인전극(9)과 연결된다.(도 6e)

<49> 이와 동시에, 상기 화소전극(13) 내의 모서리 부분에 부가 전계유도창(51)을 적어도 하나 이상 형성한다. 상기 전계유도창은, 상기 공통보조전극(15)으로 형성되는 전계를 보완하는 역할을 하여 액정표시소자의 구동시에 액정조직의 안정화를 얻을 수 있으며, 이로써 액정표시소자의 응답속도가 감소하는 효과를 얻을 수 있다.

- <50> 추가하여, 상기한 화소전극(13) 위에 배향막(도면에 나타내지 않음)을 형성할 수 있다.
- <51> 본 발명의 멀티도메인 액정표시소자에 따른 실시예들은 고개구율 박막트랜지스터(L-lined Thin Film Transistor) 구조로서, 상기한 L자 TFT는 게이트배선(1) 상에 L자 형상으로 TFT를 형성하므로써, 종래의 액정표시소자에 비해 개구율이 향상되는 효과가 있으며, 게이트배선(1)과 드레인전극(9) 사이에서 발생하는 기생용량(parasitic capacitance)을 줄일 수 있다.
- <52> 제2기판(33) 위에는 차광층(25)을 형성하고, R, G, B(Red, Green, Blue) 소자가 화소마다 반복되도록 컬러필터층(23)을 형성한다. 이어서, 공통전극(17)을 화소전극(13)과 마찬가지로 ITO 등과 같은 투명전극으로 형성하며, 상기한 공통전극(17) 위에 감광성 물질을 적층한 후, 포토리소그래피(photolithography)로 패터닝하여 여러 가지 형상으로 유전체 구조물(53)을 형성한다.
- <53> 추가하여, 상기한 유전체 구조물(53) 위에 배향막(도면에 나타내지 않음)을 형성할 수 있다.
- <54> 그리고, 상기한 제1기판(31)과 제2기판(33) 사이에 액정을 주입하므로써 멀티도메인 액정표시소자를 완성한다. 상기한 액정층을 구성하는 액정은 양 또는 음의 유전율 이방성을 가진 액정을 사용하며, 카이랄 도펀트를 포함하는 것도 가능하다.
- <55> 상기한 유전체 구조물(53)을 구성하는 물질은 상기한 액정층의 유전율(dielectric constant)과 동일하거나 작은 유전율을 가진 것이 좋으며, 3이하가 바람직하고, 아크릴(photoacrylate) 또는 BCB(BenzoCycloButene)와 같은 물질을 들 수 있다.

- <56> 상기한 공통보조전극(15)에 전압(V_{com})을 인가하는 방법은, 제1기판(31) 상에서 액정표시소자의 구동영역의 각 모서리에 Ag-Dotting부를 형성하므로써, 제2기판(33)에 전계를 인가하여 상하 전위차에 의해 액정을 구동시킨다. 상기 각 모서리의 Ag-Dotting부와 공통보조전극(15)을 연결하여 전압(V_{com})을 인가하며, 이 공정은 상기한 공통보조전극(15)을 형성함과 동시에 이루어진다.
- <57> 추가하여, 본 발명의 멀티도메인 액정표시소자는 상기한 제1기판(31) 또는 제2기판(33) 중 적어도 한 기판 상에 고분자를 연신하여 위상차필름(29)을 형성한다.
- <58> 상기한 위상차필름(29)은 음성일축성 필름(negative uniaxial film)으로서 광축이 하나인 일축성 물질로 형성하며, 기판에 수직인 방향과 시야각 변화에 따른 방향에서 사용자가 느끼는 위상차를 보상해 주는 역할을 한다. 따라서, 계조반전(gray inversion)이 없는 영역을 넓히고, 경사방향에서 콘트라스트비(contrast ratio)를 높이며, 하나의 화소를 멀티도메인으로 형성하는 것에 의해 더욱 효과적으로 좌우방향의 시야각을 보상할 수 있다.
- <59> 본 발명의 멀티도메인 액정표시소자에 있어서, 상기한 음성일축성 필름 이외에, 광축이 둘인 이축성 물질로 구성되는 이축성 필름을 형성하여도 되며, 상기 이축성 필름은 상기한 일축성 필름에 비해 넓은 시야각(viewing angle) 특성을 얻을 수 있다.
- <60> 그리고, 상기한 위상차필름을 부착한 후 양 기판에는 편광자(polarizer)를 부착하며, 이 때, 상기한 편광자는 상기한 위상차필름과 일체로 형성하여 부착할 수 있다.
- <61> 본 발명의 멀티도메인 액정표시소자는, 상기한 화소전극 및/또는 공통전극 상에 유전체 구조물(53)을 형성하거나, 상기한 화소전극, 보호막, 게이트절연막, 컬러필터층,

오버코트층 및/또는 공통전극을 패터닝하여, 그 내부에 홀(hole) 또는 슬릿(slit)과 같은 전계유도창(51)을 형성하므로써 전계 왜곡 효과 및 멀티도메인을 구현할 수도 있다.

<62> 상기한 전계유도창(51) 또는 유전체 구조물(53)은, 4도메인 및 멀티도메인으로 분할한 효과를 구현하고, 상기한 제1 및 제2기판 중 적어도 한 기판 상에 형성하거나, 양 기판 상에 독립적으로 또는 혼용하여 적용하는 것도 가능하다.

<63> 추가하여, 본 발명의 멀티도메인 액정표시소자는 상기한 제1기판 및/또는 제2기판 전체에 걸쳐 배향막(도면에 나타내지 않음)을 형성한다. 이 때, 상기한 배향막을 구성하는 배향물질로서는 폴리아미드(polyamide) 또는 폴리이미드(polyimide)계 화합물, PVA(polyvinylalcohol), 폴리아믹산(polyamic acid) 또는 SiO₂ 등의 물질을 사용하며, 러빙법을 사용하여 배향방향을 결정하는 경우, 그 밖의 러빙처리에 적합한 물질이라면 어떤 것이라도 적용 가능하다.

<64> 또한, 상기한 배향막을 광반응성이 있는 물질, 즉, PVCN(polyvinylcinnamate), PSCN(polysiloxanecinnamate), 또는 CeICN(cellulosecinnamate)계 화합물 등의 물질로 구성하여 광배향막을 형성할 수 있으며, 그 밖의 광배향처리에 적합한 물질이라면 어떤 것이라도 적용 가능하다. 상기한 광배향막에는 광을 적어도 1회 조사하여, 액정분자의 방향자가 이루는 프리틸트각(pretilt angle) 및 배향방향(alignment direction) 또는 프리틸트방향(pretilt direction)을 동시에 결정하고, 그로 인한 액정의 배향 안정성을 확보한다. 이와 같은, 광배향에 사용되는 광은 자외선 영역의 광이 적합하며, 비편광, 선편광, 및 부분편광된 광 중에서 어떤 광을 사용하여도 무방하다.

<65> 그리고, 상기한 러빙법 또는 광배향법은 제1기판 또는 제2기판 중 어느 한 기판에만 적용하거나 양 기판 모두에 처리하여도 되며, 양 기판에 서로 다른 배향처리를 하거

나, 배향막만 형성하고 배향처리를 하지 않는 것도 가능하다.

<66> 또한, 상기한 배향처리를 함으로써 적어도 두 영역으로 분할된 멀티도메인 액정표시소자를 형성하여, 액정층의 액정분자가 각 영역 상에서 서로 상이하게 배향하도록 할 수 있다. 즉, 각 화소를 +자 또는 x자와 같이 네 영역으로 분할하거나, 가로, 세로 또는 양 대각선으로 분할하고, 각 영역에서와 각 기판에서의 배향처리 또는 배향방향을 다르게 형성함으로써 멀티도메인 효과를 구현한다. 분할된 영역 중 적어도 한 영역을 비배향 영역으로 할 수 있으며, 전 영역을 비배향 영역으로 하는 것도 가능하다.

【발명의 효과】

<67> 본 발명의 멀티도메인 액정표시소자는 게이트배선과 동일 층에서 화소영역의 주위 및/또는 내부에 공통보조전극을 형성하고, 화소영역 내에 상기 공통보조전극과 더불어 전계를 왜곡시키는 유전체 구조물과 상기 유전체 구조물을 보조하는 부가 유전체 구조물 또는 전계유도층을 형성하여, 액정층의 응답시간(response time)을 줄이고, 휘도를 개선하여 멀티도메인 효과를 극대화하는 효과가 있다.

<68> 또한, 종래의 액정표시소자에서의 계조반전 및 디스클리네이션 현상을 제거하며, 특히 좌우 시야각 확보가 뛰어나다는 장점이 있다.

【특허청구범위】**【청구항 1】**

제1기판 및 제2기판과,

상기 제1기판 상에 제1방향으로 형성된 복수의 게이트배선 및 상기 제1방향과 직교하는 제2방향으로 형성된 복수의 데이터배선과,

상기 게이트배선과 데이터배선의 교차부분에 형성된 복수의 박막트랜지스터와,

이웃하는 상기 게이트배선 및 이웃하는 상기 데이터배선 사이에 형성된 복수의 화소영역과,

상기 각각의 화소영역 주위에 형성된 공통보조전극과,

상기 각각의 화소영역에 상기 박막트랜지스터와 연결되도록 형성된 복수의 화소전극과,

상기 제2기판 상에, 상기 공통보조전극과 더불어 인가되는 전계를 제어하며 상기 화소영역을 적어도 4도메인 이상으로 분할하는 유전체 구조물과,

상기 화소영역 내에, 상기 유전체 구조물을 보조하며 그 단부에 형성된 적어도 하나 이상의 부가 구조물과,

상기 제1기판 및 제2기판 중 적어도 한 기판 상에 형성된 배향막과, 그리고

상기 제1기판과 제2기판 사이에 형성된 액정층으로 이루어진 멀티도메인 액정표시소자.

【청구항 2】

제1항에 있어서, 상기 부가 구조물이, 적어도 하나 이상의 전계유도창 또는 유전체 구조물인 것을 특징으로 하는 멀티도메인 액정표시소자.

【청구항 3】

제1기판 및 제2기판과,

상기 제1기판 상에 제1방향으로 형성된 복수의 게이트배선 및 상기 제1방향과 직교하는 제2방향으로 형성된 복수의 데이터배선과,

상기 게이트배선과 데이터배선의 교차부분에 형성된 복수의 박막트랜지스터와,

이웃하는 상기 게이트배선 및 이웃하는 상기 데이터배선 사이에 형성된 복수의 화소영역과,

상기 각각의 화소영역 주위와 내부에 형성된 공통보조전극과,

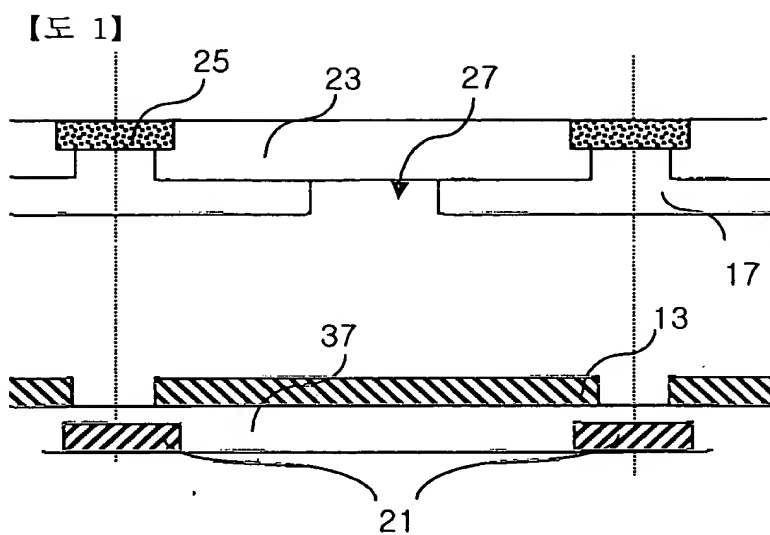
상기 각각의 화소영역에 상기 박막트랜지스터와 연결되도록 형성된 복수의 화소전극과,

상기 제2기판 상에, 상기 공통보조전극이 존재하지 않는 영역에 형성된 복수의 유전체 구조물과,

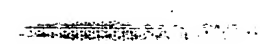
상기 제1기판 및 제2기판 중 적어도 한 기판 상에 형성된 배향막과, 그리고

상기 제1기판과 제2기판 사이에 형성된 액정층으로 이루어진 멀티도메인 액정표시소자.

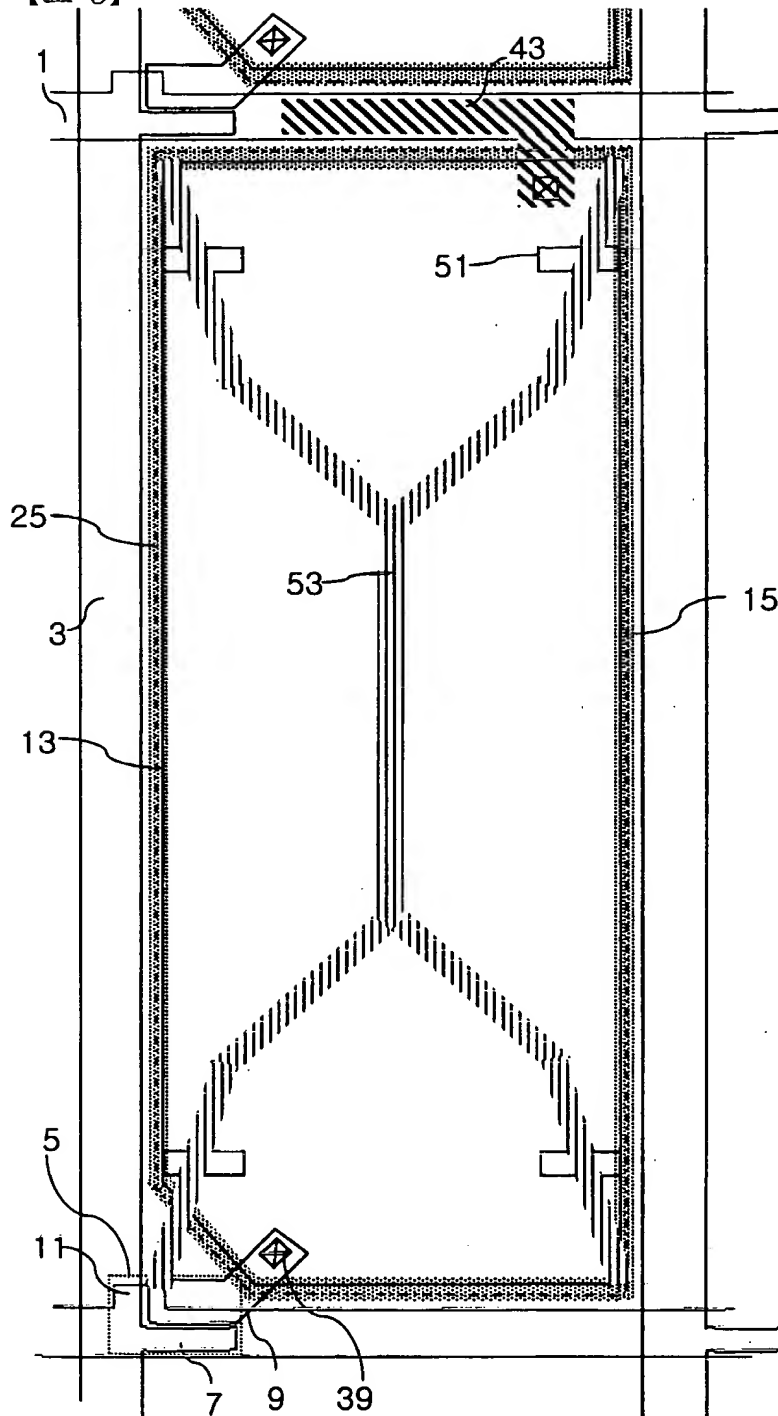
【도면】



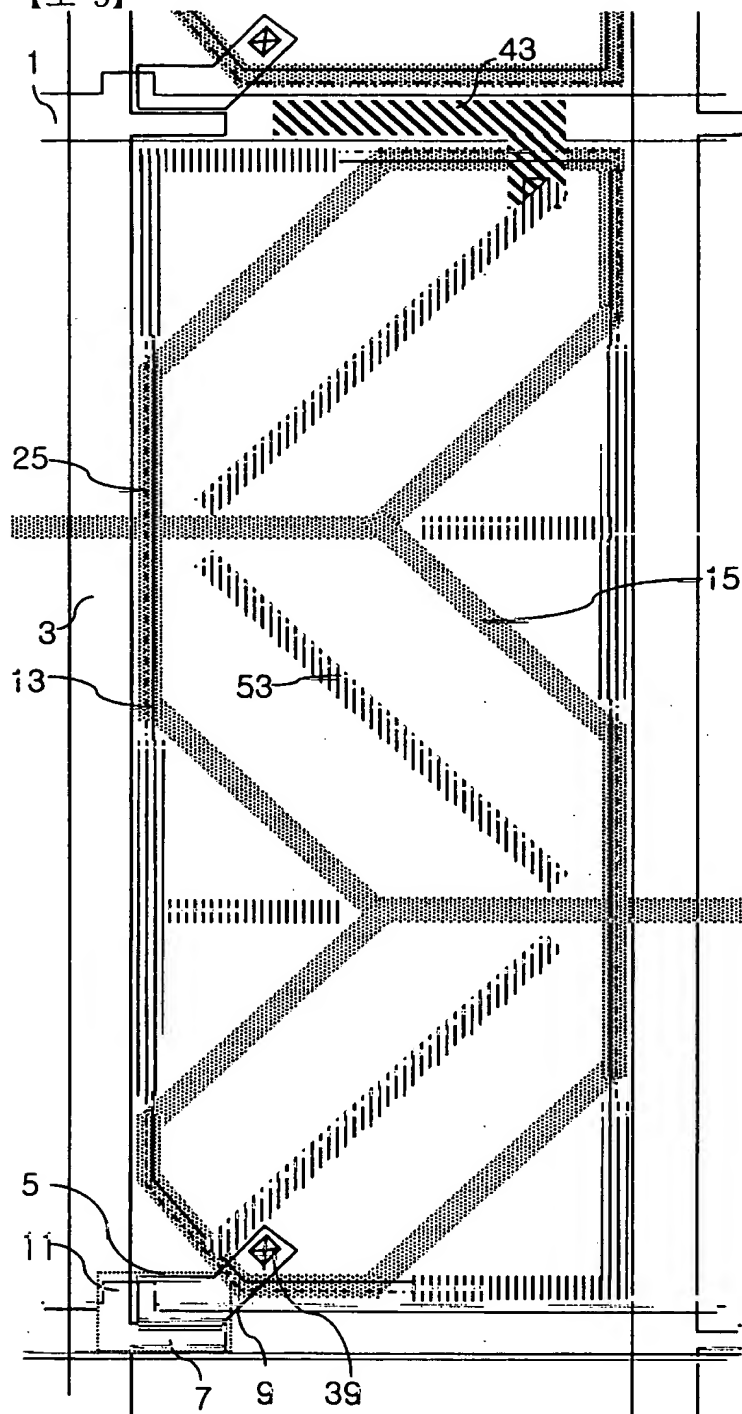
— *Journal of the American Medical Association*, 1997



【도 3】



【図 5】



【図 6a】



This cross-sectional view shows a semiconductor device. A substrate 31 is shown at the bottom. A trench 35 is formed in the substrate. A gate structure 9 is formed on the top surface of the substrate. The gate structure 9 includes a gate oxide layer 3 and a gate electrode 11. A gate spacer 5 is formed on the side wall of the trench 35. A gate contact 6 is formed on the bottom surface of the trench 35. A gate insulating layer 15 is formed on the top surface of the substrate 31.

[illegible][illegible]